

主メモリー一体型転写機能を内蔵した高信頼コントローラ用システム制御 LSI

佐藤 美道[†] 田中 成弥[†] 吉田 昌司[†] 大辻 信也[†]
堀田多加志[†] 田中 洋幸^{††}

System Control LSI Reflecting Data Directly on Main Memory for Highly Reliable Controller

Yoshimichi SATO[†], Shigeya TANAKA[†], Shoji YOSHIDA[†], Shinya OHTSUJI[†], Takashi HOTTA[†], and Hiroyuki TANAKA^{††}

あらまし 産業分野で使われるコントローラのメモリ転写機能について小型化, 高速化, 高信頼化の観点で検討し, (1) 小型化のための主メモリー一体型転写メモリ方式, (2) 高速化のためのメッシュ型メモリ転写用同封転送方式, (3) 高信頼化のための他系監視機能を提案した. 開発した高信頼コントローラ向けシステム制御 LSI (0.5 μ m CMOS プロセス, 252K ゲート, 432 ピン BGA パッケージ, 消費電力 30 MHz 動作時 1.7W (typ.)) に, ゲート数 20% と 10 本のピン数増加で上述の機能を内蔵できた. これにより, 従来の CPU ボードとメモリ転写ボードからなる構成が 1 枚のボードで実装可能となった. 本 LSI は, 幅広い産業分野で利用可能である.

キーワード メモリ転写, コントローラ, 多重化, ネットワーク, LSI, CPU ボード

1. まえがき

産業分野で使われるコントローラは, 情報処理用計算機と比較してリアルタイム化と高信頼化が必要となる [1]. 前者の課題に対応して, 複数のコントローラをネットワーク接続するときの方式として転写メモリ [2], [3] が知られている. この方式では, ネットワークに接続されているコントローラが時分割に順番に送りたいデータを他コントローラにブロードキャストする. これにより異なるコントローラ間で到達時間を保証した形でデータを共有することができる. また後者の課題に対応してコントローラを多重化する方式 [4] が一般的に行われている.

LSI 加工技術の微細化は 3 年で約 2 倍のピッチ [5] で進んでおり, 近年では 1W 以下で 100 MIPS 程度の RISC プロセッサ [6] がマルチメディアなどの情報処理用に実用化している. 本研究の目的はメモリ転写機

能, 高信頼化機能を 1 チップ化したシステム制御 LSI を開発し, 高性能 RISC プロセッサと併用して小型高信頼なコントローラを容易に実現可能とすることである. 本論文では (1) 小型化のために主メモリー上に転写メモリを設ける主メモリー一体型転写メモリ, (2) 多数のコントローラ間でメモリ転写を可能とするメッシュ型メモリ転写機能, (3) 高信頼化のために多重化構成をとったときに転写メモリを通じて他系を監視する機構を提案する. 2. で主メモリー一体型転写メモリについて述べる. 次に 3. でメッシュ型メモリ転写機能について説明し, 4. で他系監視機能について述べる. 最後に 5. で上述の機能を内蔵したシステム制御 LSI の開発結果についてまとめる.

2. 主メモリー一体型転写メモリ

2.1 メモリ転写の目的

コントローラは, 鉄鋼/化学プラントなど入出力機器が多数接続される大規模なシステムから, 単一の装置の内部に組み込まれてしまうシンプルなシステムまで, 多岐にわたっている. これらのコントローラの信頼性を向上するには, 柔軟な多様性をもち, なおかつ安価な多重化方式が必要である. メモリ転写は, 多重系を

[†](株)日立製作所日立研究所, 日立市
Hitachi Research Laboratory, Hitachi, Ltd., Hitachi-shi,
319-1292 Japan

^{††}(株)日立製作所計測器事業部, ひたちなか市
Instrument Division, Hitachi, Ltd., Japan

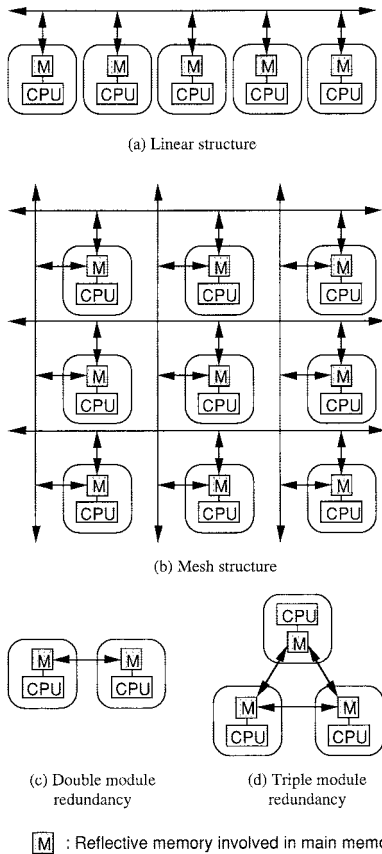


図1 多様なシステム構成
Fig. 1 Variation of multiple module system.

構成する各系に含まれる転写メモリをお互いにシリアルリンクで結び、自系の情報を他系に放送し合うことによりデータ交換を行う。転写メモリには系の数の領域が設定され、自領域を更新すると、転写ハードウェアが他系に転送し、また逆に他系の情報は、転写ハードウェアにより該当領域に転送されてくる。例えば発電プラント監視システムの場合、コントローラとI/O間をマルチドロップで接続し、アプリケーションでときどき制御サイクルの同期をとりながら、1~2KB程度の領域を、10ms程度の転送周期で転送し合う。メモリ転写は、安価に多重系を構成でき、また系の接続関係を変えることで多様な構成が可能である。図1にCPUとメモリをもつコントローラを局として、メモリ上のデータをメモリ転写して共有するシステム構成を示す。メモリ転写機能を内蔵した小型コントローラの実現により、(a) 各系を1本の伝送路で接続する1

次元型、(b) 各系を縦の伝送路と横の伝送路で接続するメッシュ型、(c) 二つの系を結び2重系、(d) 三つの系を結び3重系など、大規模なネットワークから多重化構成まで応用システムに応じて構成を変えることができる。

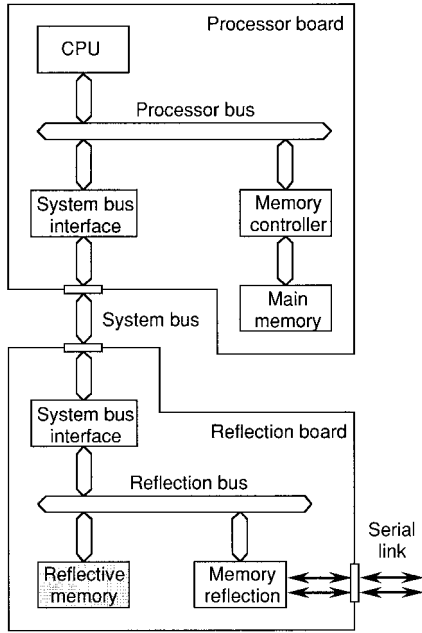
2.2 転写メモリの主メモリ化

図2にメモリ転写の構成比較を示す。鉄道や航空機の制御システムなどでは、従来よりメモリ転写による多重化が行われていた。図2(a)に、従来のメモリ転写構成を示す。転写用のボードを作り転写専用のメモリをのせ、システムバスでプロセッサボードと結んでいた。転写ボードとプロセッサボードとの2ボード構成が必要で高価である。図2(b)に、主メモリ体型の新しいメモリ転写構成を示す。CPU/システムバスからの主メモリアクセスと、メモリ転写からの主メモリアクセスを選択し、メモリ制御を通じて主メモリアクセスの間、CPU/システムバスからの主メモリアクセス要求は待たされることになるが、CPUによるシステムバスのアクセスは並行して行うことができる。この構成により、専用の転写用メモリを削減でき、1ボードで安価に構成できる。

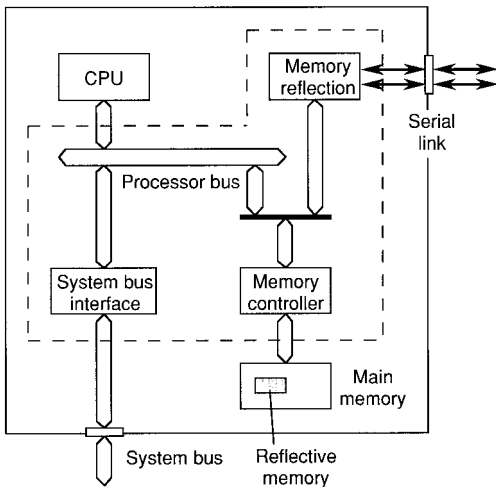
2.3 転写メモリの2面化

主メモリ体型メモリ転写における第1の問題点は、伝送誤り発生時に誤ったデータがそのまま主メモリに書き込まれることである。第2の問題点は、メモリ転写による受信データの書き込む場所と、CPUによる読み出す場所がたまたま一致すると、転送途中で一貫性のとれていないデータを参照する事態が生ずることである。これらを解決するために転写メモリを2面化し、ソフトウェアから読み出す場合必ずメモリ転写が書き込んでいる面と反対側の面が見えるようにハードウェアで制御する交代バッファを実現した。

図3に2面化受信メモリをアクセスしたときの動作を示す。どちらの面に書き込むかという情報を保持し、1転送サイクル受信を終了するたびにこの情報を反転する。ソフトウェアからアクセスすると、アクセスアドレスはメモリ転写が書き込んでいない面のアドレスになるようマスクされる。また、CRCエラーで誤ったデータを書き込んだことをメモリ転写が検出した際には、メモリ転写による書き込み面の反転を抑制する。本方式により、伝送誤り発生時の問題とデータの一貫性の問題が解決できる。本方式と類似の交代バッファは高速化を目的に実現されている例[7]がある。



(a) Conventional memory reflection architecture (which consists of 2 board)



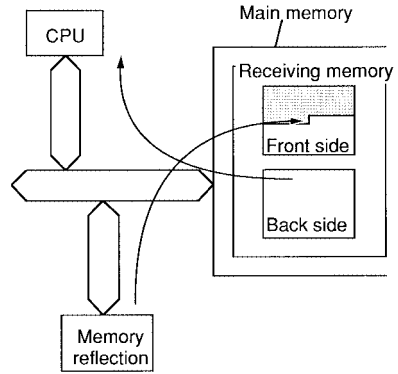
(b) New memory reflection architecture (which consists of 1 board)

図2 メモリ転写構成比較

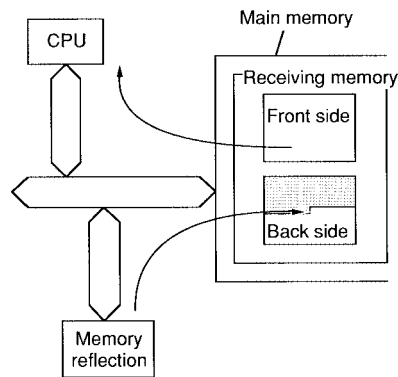
Fig. 2 Comparison of memory reflection architecture.

2.4 メモリ転写の性能

図4に、転送速度向上における制約を示す。このグラフは、横軸にメモリ転写による主メモリアクセスの頻度、縦軸にメモリ転写の転送速度をとる。メモリ転



(a) Write front side / read back side



(b) Read front side / write back side

図3 2面化受信メモリの動作

Fig. 3 Action of double side receiving memory.

写の転送速度は (1) 主メモリアクセスの頻度による制約 (2) 同期ずれを正しく補正できる限界 (3) 通信用のパッファがあふれないための限界、の三つにより制約される。

(1) 主メモリアクセスの頻度：メモリ転写の転送速度を上げると、メモリ転写による主メモリアクセスの頻度が高くなり、CPUからのメモリアクセスに待ち時間が生じ、CPU性能が低下する。メモリ転写によるプロセッサバスの占有率は、ほとんどのアプリケーションで15%以下にする必要があり、メモリ転写の転送速度の上限値は7.5 Mbit/sとなる。

(2) 同期ずれを正しく補正できる限界：同期ずれを正しく補正するためには1ビット当り4箇所のサンプリングが必要となる。30 MHzのサンプリングを行った場合、正しく補正できる上限値は7.5 Mbit/sと

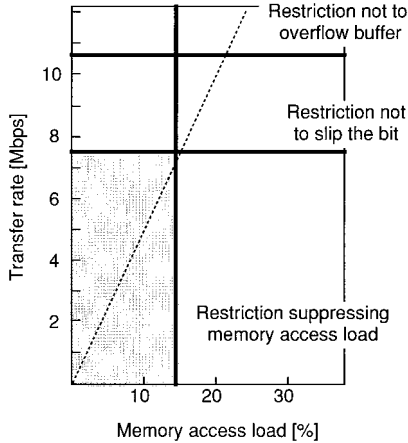


図4 転送速度向上における制約
Fig. 4 Restrictions limiting transfer performance.

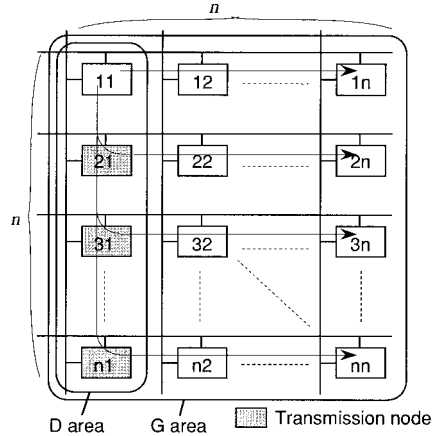


図5 メッシュ型配置構成
Fig. 5 Mesh structure.

なる。

(3) 通信用のバッファがあふれないための限界：5. で述べるシステム制御 LSI では、メモリ転写以外のメモリアクセスにより、メモリ転写は最大 68 サイクル待たされる場合がある。メモリ転写の通信用バッファの容量を 4 バイトとすると、メモリ転写の転送速度の上限値は 30 MHz 時 10.7 Mbit/s となる。

以上の条件において、主メモリー一体型転写メモリの性能は 7.5 Mbit/s が上限である。

3. メッシュ型メモリ転写機能

3.1 メッシュ構成時のメモリ転写動作

図 5 に、メッシュ型メモリ転写システムのシステム構成図を示す。メッシュ型は、各構成局の 2 チャンルのシリアル通信部を用いてメッシュ型に互いの局を接続することでネットワークを構成する。1 チャンネルでの接続可能な局数を n とすると、システム全体での最大接続局数は $n \times n$ となる。 n は、使用する通信プロトコルやネットワーク配線の物理特性により決定する整数である。各局は、一方のチャンネルで受けた転写データをもう一方のチャンネルに転送するようにチャンネル間転送処理を実行することで、全局間で各局の転写データを共有することができる。図中の矢印は、局 11 の転写データが全局へ送信される様子を示している。なお、本論文で対象としているメモリ転写動作は、時分割に送信権を局ごとに割り当てる方式のため、各局の転送動作は送信権を得たときのみ実行する。このように、各局の転写データを任意の他局に転送するには

二つのネットワークを経由するだけで実現できる。

転写対象により、(1)「同一伝送路に直接接続する局間でのメモリ転写は、高速性を要し、転写データ量が多い。」(2)「チャンネル間転送を必要とする全局でのメモリ転写は、(1)ほどの高速性を必要とせず、転写データ量が少ない。」という性質をもつものとして区別し、前者を D エリア、後者を G エリアと定義する。これら定義に該当するものとして、D エリアは直接接続された密で多量な制御情報の共有であり、G エリアは全機器間で把握する必要がある各機器の診断用や監視用等の疎で少量な状態値情報の共有である。メモリ転写動作は、各局にて送信権を得るごとにこれら D エリアと G エリアのメモリ転写を交互に連続して行う。

3.2 同封転送

G エリアのメモリ転写は、転写対象局は多いが転写データ量は少ないという特性のため、一定周期で送信権をスケジューリングするメモリ転写方式では転写サイクルが長くなってしまい非効率である。G エリアでの転送効率を上げるために、送信権を得たときの G エリア転写データサイズが D エリア転写データサイズと等しくなるように、G エリアの転写データを複数局まとめて転送する同封転送を提案する。

図 6 に、 2×2 のネットワーク構成の場合の G エリアの同封転送の概念を示す。G エリアの転写データサイズが D エリアの転写データサイズの $1/2$ の場合、1 回の送信時間 T の期間中に 2 局分の G エリアの転写データをまとめて転送する。このとき、送信内容が同一局情報となる周期である G エリアの転写サイクル

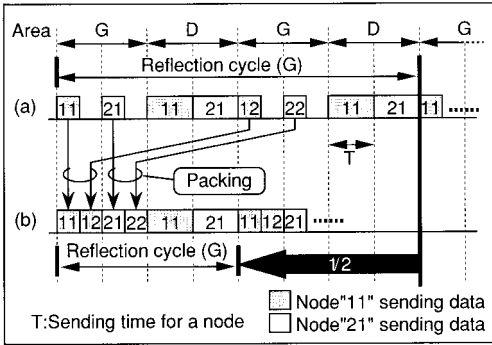


図 6 同封転送のタイムチャート (a) 同封転送なし (b) 同封転送あり
 Fig. 6 Timechart of packing transmission. (a) Non-packing transmission (b) Packing transmission

は、同封転送を行わない方式に比べ 1/2 に短縮することができる。

3.3 同封転送の効果

図 1 (a) にあるような 1 次元型のメモリ転写システムとメッシュ型メモリ転写システムの各々の転写サイクルを比較する。ここでは、1 局が送信権を保持する送信権保持期間を T 、システム全体での局数を n とする。また G エリアの同封局数を p とする。 p の値は D エリア/G エリアのサイズ比を超えない整数値で与えることができる。なお、本論文における各エリアの対象とするデータの性質により、G エリアのサイズは D エリアのサイズの 1/2 以下であるため、 p は 2 以上の整数値をとる。

(1) 1 次元型のメモリ転写サイクル

1 次元型のメモリ転写は、基本的に送信時間 T の間に 1 局分しか送信しない。また、メモリ転写動作は D エリアと G エリアの区別はない。メッシュ型との比較のため、仮に転写内容により D エリアと G エリアを想定して、送信権を得るたびに交互に各エリアの転写データを送信するものとした場合、D エリア/G エリアの転写サイクルはともに等しく、 $2nT$ で表すことができる。

(2) メッシュ型のメモリ転写サイクル

まず、一つのネットワークにおける各エリアの転写サイクルを求める。D エリアは接続局数を $n^{1/2}$ としたときの 1 次元型の転写動作と等価なため、D エリアの転写サイクルは $2n^{1/2}T$ と表すことができる。一方、G エリアの転送対象の局数も $n^{1/2}$ であり、先の同封

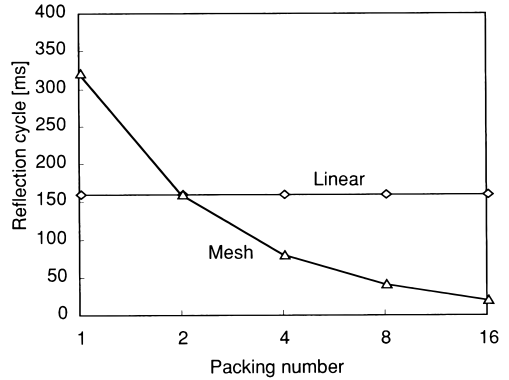


図 7 同封転送の効果
 Fig. 7 Packing effect.

転送を考慮すると、G エリア送信回数 $n^{1/2}/p$ 回に 1 回のサイクルで同一局の G エリアのデータを送信する。そのため、G エリアの転送サイクルは

$$2n^{1/2}T \times n^{1/2}/p = 2nT/p$$

で表すことができる。

これら、1 ネットワークにおける転写サイクルから、各システム構成全体における D エリア、G エリアの転写サイクルを求める。メッシュ型の G エリアの転写には転送のため二つのネットワークを経由する必要があるため、求めた転写サイクルの 2 倍となる。よってまとめると、1 次元型では「D エリア = G エリア : $2nT$ 」、メッシュ型では「D エリア : $2n^{1/2}T$ 、G エリア : $2nT/p \times 2$ 」で示すことができる。

図 7 に、G エリアに対する同封転送の効果を転写サイクルを用いて示す。横軸に同封局数を示し、縦軸に転写サイクルを示す。ここでは、1 局当りの送信時間 T を 5 ms、接続局数 n を 16 とし算出している。G エリアでは、同封局数が 1 局の場合は転送処理に要するオーバーヘッドが大きいため 1 次元型よりメッシュ型の方が転写サイクルが大きくなるが、同封局数が多くなると同封転送の効果により転写サイクルは小さくなる。よって、メッシュ型メモリ転写では同封転送を行うことにより、効率の良い転送が実現でき、その結果高速なメモリ転写が可能になる。

4. 他系監視機能

主メモリ一体型メモリ転写は、主メモリ内の情報しか共有できないが、他コントローラの健全性や多重化制御に関する情報（障害情報、多重化制御状態等）を、

高信頼化のため相手の CPU を介すことなく、随時得られるようにしたいという要求がある。これらの情報を特殊処理を入れずに主メモリー一体型メモリー転写機能を用いて取得できる他系監視機能を考案した。図 8 に監視コントローラの構成を示す。監視コントローラの命令検出回路は主メモリアクセスを監視する。メモリー転写を通じて他コントローラからの命令を検出すると、監視コントローラは命令で指示されたアドレスへアクセスする機能をもつ。プロセッサバスを介してアクセスすることにより、主メモリー以外のアドレス空間の情報も得ることができる。この監視コントローラと主メモリー一体型メモリー転写機能により、任意のアドレスをアクセスする他系監視機能が実現できる。コントローラ A 系の CPU から、コントローラ B 系の転写領域外のデータを参照する他系監視動作を図 9 により説明する。

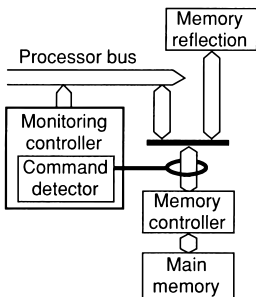


図 8 監視コントローラ
Fig. 8 Monitoring controller.

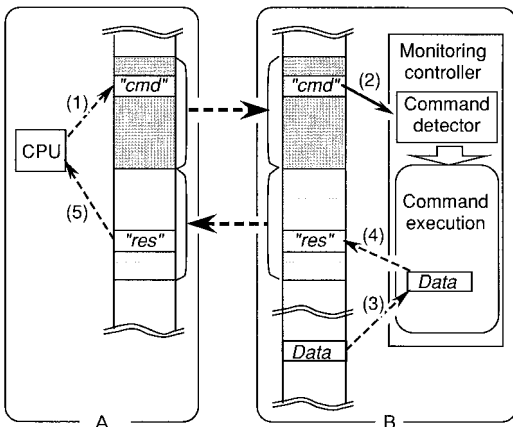


図 9 他系監視動作
Fig. 9 Monitoring operation.

(1) コントローラ A 系の CPU が自系のメモリー転写送信領域内にコマンドを書き込む。コマンドは相手系の参照アドレス値をもつものである。

(2) メモリー転写動作によりコマンドが受信書込みされたことを B 系のコマンド検出回路が検出する。

(3) 監視コントローラはコマンドが示すアドレスのデータを読み出して内部レジスタに書き込む。

(4) 監視コントローラは内部レジスタのデータをメモリー転写送信領域内に応答として書き込む。

(5) コントローラ A 系の CPU はメモリー転写動作により応答が受信されたことを検出し、データを得る。

以上のようにして、コントローラ A 系の CPU から、コントローラ B 系の転写領域外のデータを B 系の CPU とは独立に参照することができる。本機能は主メモリアクセスを監視する方式により、システムバスを介して主メモリーを共有化したマルチプロセッサ構成においても有効である。

5. 高信頼組込みコントローラ

5.1 開発コンセプト

主メモリー一体型メモリー転写機能を内蔵した小型高信頼組込みコントローラを開発した。本コントローラの開発コンセプトは、(1) 高信頼化、(2) 多用途で共通に利用するための統合化、(3) 高コストパフォーマンスの実現である。(1) に対してはコントローラ自身の信頼性向上とシステム全体の信頼性向上に着目し、前者で問題となる一過性のメモリー障害救済のために主メモリーの 2 ビット誤り検出、1 ビットの誤り訂正機能と、後者の一般的な手法である多重化システムで必要になるメモリー転写機能とをそれぞれ標準機能としてもつ構成とする。これによって用途に応じた信頼性を実現できる。(2) に対しては CPU、主メモリー構成などを共通化するとともに、高速バスと低速バスを設け、用途個別の要求に対しバスを介して個別機能を追加可能な統合アーキテクチャとする。(3) に対しては CPU にコストパフォーマンスの良い高性能 RISC プロセッサを採用するとともに、高速バスを PCI バス [9] にすることでパーソナルコンピュータで開発された標準部品を利用可能にする。

5.2 CPU ボード構成

図 10、図 11、表 1 に CPU ボードの構成、CPU ボード写真、ボードの仕様を示す。CPU ボードは、CPU、主メモリー、システム制御 LSI、RAM、ROM、PCI デバイス、システムバス用バスブリッジで構成する。プ

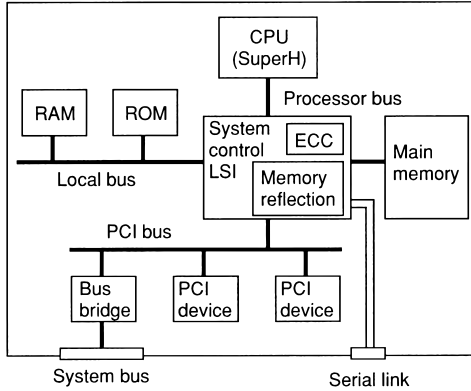


図 10 CPU ボードの構成
Fig. 10 CPU board block diagram.

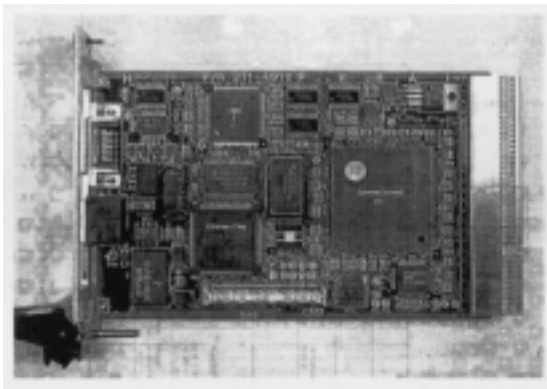


図 11 CPU ボード写真
Fig. 11 CPU board photograph.

ロセッサは、内部 100 MHz で動作し、1/4 の周波数でプロセッサバスをアクセスする。PCI バスは 30 MHz 動作するためプロセッサバスと PCI バスを非同期化した。メモリは SDRAM 64 bit 品を 10 個接続することで最大 64 MB まで搭載可能である。

システム制御 LSI は、CPU からのアクセスをメモリ、PCI バス、ローカルバスと結ぶバスブリッジの機能をもつ。この機能に加え、以下に示す高信頼組込み制御向け機能を内蔵した。(1) メモリ誤り訂正のための ECC (Error correcting Code) 機能。(2) 主メモリー一体型転写メモリを実現するためのメモリ転写機能。(3) リアルタイム制御用のタイマや各種デバッグ機能。

5.3 内蔵メモリ転写機能

内蔵したメモリ転写機能について詳しく説明する。メモリ転写機能は、図 2 (b) のようにシステム制御 LSI

表 1 CPU ボード仕様
Table 1 CPU board characteristics.

周波数	CPU	60MHz	100MHz
	プロセッサバス	30MHz	25MHz
	PCIバス	30MHz	30MHz
主メモリ	容量	最大64MB(ECC付)	
メモリ転写	転送速度	最大7.5Mbps	
	チャンネル数	2	
	伝送方式	NRZ, RZ	
	転写領域	128B~256KB	
	フレーム構成	128B+16ビットCRC	

の内部でバス分離し、メモリ制御部に直接アクセスすることで主メモリ上に転写メモリを実現する方式を採用した。シリアル通信部分は 4B のシリアルパラレル変換とデータあふれを防ぐための 4B バッファで構成し、4B バッファが満杯になると直ちに主メモリ上のメモリ転写領域に書き込むためのメモリアクセスを行う。後続のデータが 4B バッファに格納される前にメモリアクセスを完了させるためにメモリ転写からのメモリアクセスの優先順位を高くしてバッファあふれが生じないように工夫した。

主メモリ上の転写メモリへのアクセスはアドレスのポインタを連続的に更新するが、2 チャンネル間転送での同封転送では、同封するデータが主メモリ上で離散した空間にあるため、それらのデータを読み出すポインタ制御をハードウェアで実現した。フレームは、HDLC [10] 準拠であり、1 フレーム当り 1B のスタートフラグ、2 bit のリセットビット、128B のデータ、2B の CRC で構成し、5 個連続ビット “1” のとき “0” を挿入する 0 埋め機能を内蔵する。データ長を 128B と長くしたことで 1 フレーム当りのワースト転送効率 (転送データ長/0 埋め考慮した最長フレーム長) を 81 % まで高めることができた。

5.4 システム制御 LSI

システム制御 LSI は、0.35 μm CMOS プロセスで 252K ゲートを集積し、432 ピン BGA パッケージに実装した。消費電力は、30 MHz 動作時 1.7W (typ.) である。これは、温度上昇 17°C に相当し、冷却用ファン、放熱器なしで使用可能である。

図 12 にシステム制御 LSI のゲート数の内訳を示す。メモリ転写機能は全体の 20 % の 52K ゲートであり、チャンネル間転送のためのアドレス制御はわずか 5 % である。また、4. で述べた他系監視機能は全体の 10 % である。

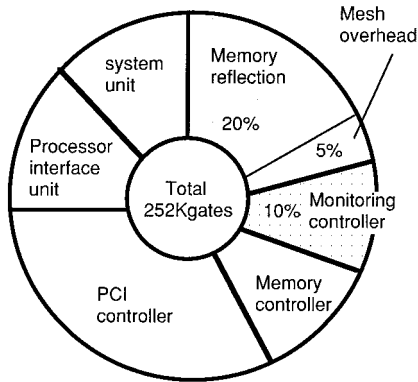


図 12 システム制御 LSI のゲート数
Fig. 12 Number of gates for system control LSI.

ある。LSI のピン数は、プロセッサバス、PCI バス等のバスブリッジ機能をもつため、全体に 432 ピンと多い。しかしながら、メモリ転写機能に必要なピン数はわずか 10 本である。

以上、今回開発した小型高信頼組込みコントローラは、主メモリー一体型メモリ転写機能をシステム制御 LSI 内部にゲート数 52K ゲートの増加とわずかに 10 本のピン数増加で実現し、従来の CPU ボードとメモリ転写用ボードからなる構成を 1 枚のボードで実装できた。このボードは、火力プラント、電力用デジタル保護リレー、分析装置など幅広い産業分野で利用できる。

6. む す び

産業分野で使われるコントローラのメモリ転写機能について小型化、高速化、高信頼化の観点で検討し、(1) 小型化のための主メモリー一体型転写メモリ方式、(2) 高速化のためのメッシュ型メモリ転写用同封転送方式、(3) 高信頼化のための他系監視機能を提案した。開発した高信頼コントローラ向けシステム制御 LSI (0.5 μm CMOS プロセス、252K ゲート、432 ピン BGA パッケージ、消費電力 30 MHz 動作時 1.7W(typ.)) に、ゲート数 20% と 10 本のピン数増加で上述の機能を内蔵できた。これにより、従来の CPU ボードとメモリ転写ボードからなる構成が 1 枚のボードで実装可能となった。本 LSI は、幅広い産業分野で利用可能である。

今後の課題としては CPU とシステム制御 LSI のワンチップ化、DRAM 混載によるメモリ内蔵などが考

えられる。

謝辞 本研究を進めるにあたり御協力いただいた (株) 日立製作所計測器事業部清野隆氏、同大みか工場大橋章宏氏、日立エンジニアリング (株) 梶原久志氏、並びに関係者の皆様に感謝致します。

文 献

- [1] 三巻達夫, 桑原 洋, “制御用計算機におけるリアルタイム技術”; コロナ社, 東京, 1986.
- [2] 高橋正弘, 浜田卓志, 安元精一, 岡田政和, “分散制御用幹線ネットワークの伝送制御方式”; 電学論 (D), vol.107, no.12, pp.1455-1460, Dec. 1987.
- [3] 神谷浩夫, 竹垣盛一, “リアルタイムシステムのための分散データ共有方式”; 信学技報, FTS93-22, Aug. 1993.
- [4] 当麻善弘, “フォールトトレラントシステム論”; コロナ社, 東京, 1990.
- [5] J. Borel, “Technologies for Multimedia Systems on a Chip,” ISSCC Digest of Technical Papers, San Francisco, USA, no.TA1.1, pp.18-19, Feb. 1997.
- [6] J. Montanaro, R. Witek, K. Anne, A. Black, E. Cooper, D. Dobberpuhl, P. Donahue, I. Eno, A. Farrell, G. Hoepfner, D. Kruckemyer, T. Lee, P. Lin, L. Madden, D. Murray, M. Pearce, S. Santhanam, K. Snyder, R. Stephany, S. Thierauf, “A 160 MHz 32b 0.5W CMOS RISC Microprocessor,” ISSCC Digest of Technical Papers, San Francisco, USA, no.FP13.3, pp.214-215, Feb. 1996.
- [7] 岡田政和, 富沢 宏, 大貫 健, 杉本則彦, 中根啓一, 小山西雄, “産業用統合情報ネットワーク 100M ビット/秒 LAN ‘TRUNK NETWORK-100’,” 日立評論 72-4, pp.29-36, April 1990.
- [8] PCI Special Interest Group, “PCI Specification Rev.2.0,” April 1993.
- [9] JIS 規格 JIS C 6363 ~ 6365.

(平成 10 年 4 月 6 日受付, 7 月 7 日再受付)



佐藤 美道 (正員)

平 1 東北大・工・情報卒・同年 (株) 日立製作所入社, 日立研究所に配属。並列 Lisp マシン, RISC プロセッサ, フォールトトレラントコンピュータ等の研究, 開発に従事。現在, 同社計測器事業部システム開発部に所属。情報処理学会, IEEE 各会員。



田中 成弥 (正員)

昭 58 豊橋技科大・工・電気電子卒。昭 60 同大大学院修士課程了。同年(株)日立製作所入社。高速マイクロプロセッサ、情報制御システムの研究開発に従事。現在、同社計測器事業部システム開発部に所属。情報処理学会会員。



吉田 昌司 (正員)

昭 63 東大・工・計数卒。同年(株)日立製作所入社。以後、同社日立研究所において、RISC プロセッサ及びコントローラの研究開発に従事。現在、同所情報制御第一研究部に所属。



大辻 信也 (正員)

平 2 九大・工・電気卒。平 4 同大大学院工学研究科修士課程了。同年(株)日立製作所入社。以来、主に制御用ネットワークの研究に従事。現在は、画像処理技術の研究に従事。



堀田多加志 (正員)

昭 56 東大・工・電気卒。昭 58 同大大学院修士課程了。同年(株)日立製作所入社。高速マイクロプロセッサ及びコントローラの研究に従事。現在、同社日立研究所情報制御第一研究部に所属。IEEE, ACM, 情報処理学会各会員。工博。



田中 洋幸 (正員)

昭 50 東大・工・物理卒。同年(株)日立製作所入社。計測器事業部に所属。計測システム、分析装置の組み込み用コントローラ、画像・信号処理装置の設計開発に従事、現在に至る。